

10

MOVING IMAGE RE-ENCODER

Publication number: JP2001268579

Publication date: 2001-09-28

Inventor: MIKOSHI TAKANOBU; NISHIGAKI ATSURO

Applicant: SANYO ELECTRIC CO.

Classification:

- International: *H04N7/32; H03M7/30; H03M7/40; H03M7/40; H04N7/32; H03M7/30; H03M7/40; H03M7/40; (IPC1-7): H04N7/32; H03M7/30; H03M7/40*

- European:

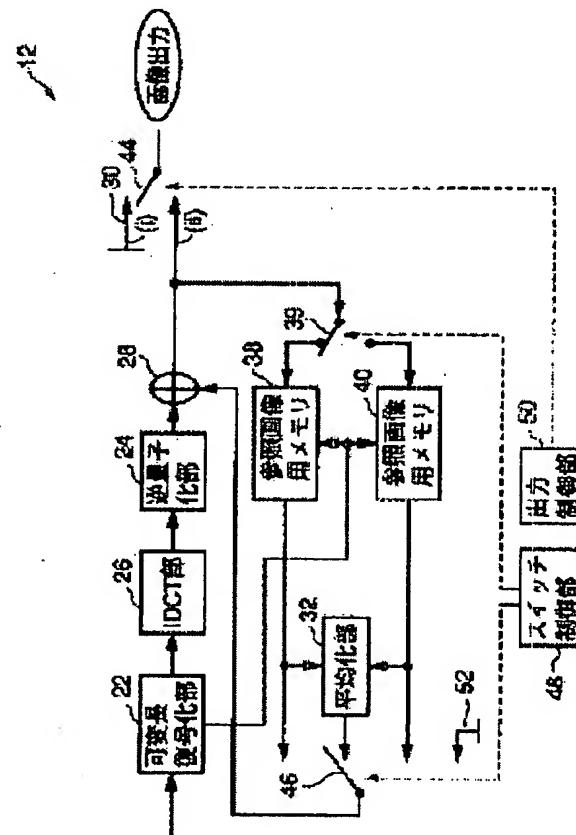
Application number: JP20000081484 20000323

Priority number(s): JP20000081484 20000323

Report a data error here

Abstract of JP2001268579

PROBLEM TO BE SOLVED: To provide a moving image re-encoder with small circuit scale. **SOLUTION:** A decoder 12 to constitute a moving image re-encoder moving image includes a variable length decoding part 22 to decode a variable length code, an IDCT part 26 to convert the conversion coefficients obtained by the variable length decoding part 22, an inverse quantization part 24 to perform inverse quantization of output of the IDCT part 26, memories 38, 40 for reference image to store output of an adder 28 and a switch 44 to change states so that reproduced image data of a B picture to be outputted from the adder 28, reproduced image data of an I picture or a P picture to be outputted by the memory 38 for reference image and reproduced image data of the I picture or the P picture to be outputted from the memory 40 for reference image are outputted in the same order as the order (stream order) inputted in the variable length decoding part 22 or so that no data is outputted.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-268579
(P2001-268579A)

(43)公開日 平成13年9月28日 (2001.9.28)

(51)Int.Cl.⁷
H 0 4 N 7/32
H 0 3 M 7/30
7/40

識別記号

F I
H 0 3 M 7/30
7/40
H 0 4 N 7/137

テ-マコ-ト⁸ (参考)
A 5 C 0 5 9
5 J 0 6 4
Z

審査請求 未請求 請求項の数4 OL (全8頁)

(21)出願番号 特願2000-81484 (P2000-81484)

(22)出願日 平成12年3月23日 (2000.3.23)

(71)出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号

(72)発明者 美越 剛宣
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 西垣 敦郎
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100064746
弁理士 深見 久郎 (外3名)

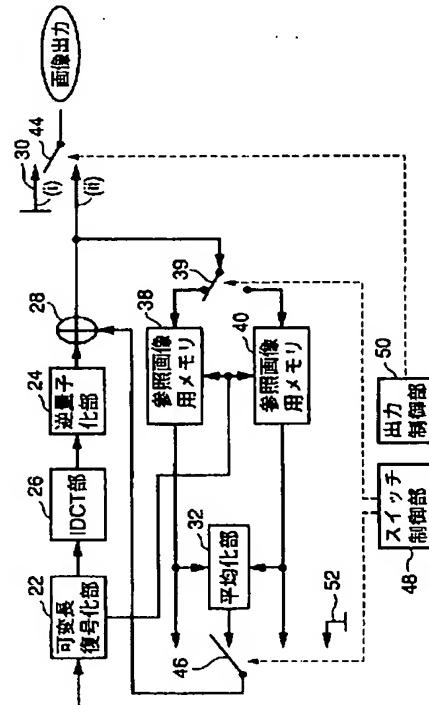
最終頁に続く

(54)【発明の名称】 動画像再符号化装置

(57)【要約】

【課題】 回路規模の小さな動画像再符号化装置を提供する。

【解決手段】 動画像再符号化装置を構成する復号化装置12は、可変長符号を復号する可変長復号化部22と、可変長復号化部22より得られた変換係数をブロック単位のデータに変換するIDCT部26と、IDCT部26の出力を逆量子化する逆量子化部24と、逆量子化部24の出力と参照画像データと、加算器28の出力を記憶する参照画像用メモリ38および40と、加算器28より出力されるBピクチャの再生画像データ、参照画像用メモリ38より出力されるIピクチャまたはPピクチャの再生画像データおよび参照画像用メモリ40より出力されるIピクチャまたはPピクチャの再生画像データが可変長復号化部22に入力された順序(ストリーム順)と同じ順番で出力されるように、または何もデータが出力されないように状態を変化させるスイッチ44とを含む。



【特許請求の範囲】

【請求項1】 符号化された動画像データを復号化し、前記符号化された動画像データと同じ順序で動画像データを出力する復号化部と、

前記復号化部に接続され、復号化された動画像データを符号化する再符号化部とを含む、動画像再符号化装置。

【請求項2】 前記復号化部は、変換係数の可変長符号から得られる再生画像データと参照画像データとを加算する加算器と、

前記加算器に接続され、前記加算器の出力を記憶する参照画像用メモリと、

前記参照画像用メモリに接続され、前記参照画像用メモリに記憶されたデータより参照画像データを生成し、前記加算器に供給するための参照画像データ生成手段と、前記加算器および前記参照画像用メモリに接続され、前記符号化された動画像データと同じ順序で動画像データを出力するための出力制御手段とを含む、請求項1に記載の動画像再符号化装置。

【請求項3】 前記再符号化部は、

前記出力制御手段に接続され、前記出力制御手段より出力される符号化対象の画像データと参照画像データとの間で差分を取る減算器と、

前記減算器に接続され、前記減算器の出力を直交変換する直交変換部と、

前記直交変換部に接続され、前記直交変換部の出力を可変長符号化する可変長符号化部と、

前記参照画像用メモリに接続され、前記参照画像用メモリに記憶された画像データをサイズ変更しながら画素値を読出す参照変換部と、

前記参照変換部に接続され、前記参照変換部から読出されたデータより参照画像データを生成し、前記減算器に供給するための参照画像データ生成手段とを含む、請求項2に記載の動画像再符号化装置。

【請求項4】 前記出力制御手段は、

前記加算器および前記参照画像用メモリに接続され、前記符号化された動画像データと同じ順序を保持したまま一部の画像データを間引いた動画像データを出力するための手段を含む、請求項2または3に記載の動画像再符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、動画像再符号化装置に関し、特に、再符号化時に画面の並べ替えを必要としない動画像再符号化装置に関する。

【0002】

【従来の技術】 インターネット等を利用したデジタル映像データの配信が近年普及している。映像データの配信を受けたコンピュータ上では、その処理能力に応じて、伝送条件(伝送タイミング、伝送レート)または画像サイズの変更が行なわれる。

【0003】 従来、MPEG(Moving Picture Experts Group)方式で符号化された動画像データの伝送条件または画像サイズを変更するには、動画像データを復号化し、必要に応じて画像サイズを変更した後、再度符号化を実行している。

【0004】 従来はこのような処理をする動画像再符号化装置を、既存の動画像復号化装置と動画像符号化装置との組み合わせで構成していた。

【0005】

【発明が解決しようとする課題】 しかし、動画像復号化装置には、ストリーム順と呼ばれるMPEG符号化に適した順序で動画像データが入力され、表示順で動画像データが出力される。一方、動画像符号化装置には、表示順で入力された動画像データをストリーム順で出力している。このため、動画像再符号化装置全体としてみた場合には、表示順で入力された動画像データを表示順で出力している。にもかかわらず、動画像再符号化装置の内部では、表示順で入力された動画像データをストリーム順に並べ替え、ストリーム順の動画像データを再度表示順に並びかえるという処理を行なっている。

【0006】 このため、表示順の並べ替えのための回路が必要となり、動画像再符号化の処理に時間がかかるという問題がある。

【0007】 本発明は、上述の課題を解決するためになされたものでその目的は、回路規模の小さな動画像再符号化装置を提供することである。

【0008】 本発明の他の目的は、高速処理可能な動画像再符号化装置を提供することである。

【0009】

【課題を解決するための手段】 本発明のある局面に従う動画像再符号化装置は、符号化された動画像データを復号化し、符号化された動画像データと同じ順序で動画像データを出力する復号化部と、復号化部に接続され、復号化された動画像データを符号化する再符号化部とを含む。

【0010】 復号化部は、符号化された動画像データと同じ順序で復号化された動画像データを出力する。このため、再符号化部は、動画像データを並べ替える必要がなくなり、処理速度が向上する。また、動画像データの並べ替えのため回路が必要ないため、回路規模が削減される。

【0011】 好ましくは、復号化部は、変換係数の可変長符号から得られる再生画像データと参照画像データとを加算する加算器と、加算器に接続され、加算器の出力を記憶する参照画像用メモリと、参照画像用メモリに接続され、参照画像用メモリに記憶されたデータより参照画像データを生成し、加算器に供給するための参照画像データ生成手段と、加算器および参照画像用メモリに接続され、符号化された動画像データと同じ順序で動画像データを出力するための出力制御手段とを含む。

【0012】さらに好ましくは、再符号化部は、出力制御手段に接続され、出力制御手段より出力される符号化対象の画像データと参照画像データとの間で差分を取る減算器と、減算器に接続され、減算器の出力を直交変換する直交変換部と、直交変換部に接続され、直交変換部の出力を可変長符号化する可変長符号化部と、参照画像用メモリに接続され、参照画像用メモリに記憶された画像データをサイズ変更しながら画素値を読出す参照変換部と、参照変換部に接続され、参照変換部から読出されたデータより参照画像データを生成し、減算器に供給するための参照画像データ生成手段とを含む。

【0013】参照画像用メモリを復号化部と再復号化部とで共有している。このため、参照画像用メモリの数を減らすことができ、回路規模が削減される。

【0014】さらに好ましくは、出力制御手段は、加算器および参照画像用メモリに接続され、符号化された動画像データと同じ順序を保持したまま一部の画像データを間引いた動画像データを出力するための手段を含む。

【0015】

【発明の実施の形態】【実施の形態1】図1を参照して、本発明の実施の形態1に係る動画像再符号化装置10は、MPEG方式で符号化された動画像データを入力として受け、動画像データを復号化する復号化部12と、復号化部12に接続され、復号化された画像データを再度MPEG方式で符号化する再符号化部14とを含む。

【0016】図2を参照して、復号化部12は、変換係数の可変長符号を受け、可変長符号を復号する可変長復号化部22と、可変長復号化部22に接続され、可変長復号化部22より得られた変換係数（量子化されたDCT (Discrete Cosine Transform) 係数）をブロック単位のデータに変換するIDCT (Inverse Discrete Cosine Transform) 部26と、IDCT部26に接続され、IDCT部26の出力を逆量子化する逆量子化部24と、逆量子化部24に接続され、逆量子化部24の出力と参照画像データとを加算する加算器28とを含む。

【0017】復号化部12は、さらに、加算器28に接続され、加算器28よりI (Intra) ピクチャまたはP (Predictive) ピクチャの再生画像データを受け、2つの出力に交互に切換えて再生画像データを出力するスイッチ39と、各々、スイッチ39の対応の出力に接続され、スイッチ39を介して加算器28より得られるIピクチャまたはPピクチャの再生画像データを記憶する参照画像用メモリ38および40とを含む。

【0018】復号化部12は、さらに、参照画像用メモリ38および40に接続され、参照画像用メモリ38および40よりそれぞれ画像データを読出し、平均化し、双方向予測符号化に用いられるマクロブロック単位の参照画像データを生成する平均化部32と、平均化部32、参照画像用メモリ38および40、ならびに接地端

子52に接続され、逆量子化部24から出力されたデータの種類に応じて状態を定め、平均化部32、参照画像用メモリ38および40、ならびに接地端子52より与えられるデータを加算器28に供給するスイッチ46とを含む。

【0019】復号化部12は、さらに、加算器28、参照画像用メモリ38および40、ならびに接地端子30のいずれかに接続され、加算器28より出力されるB (Bidirectionally predictive) ピクチャの再生画像データ、参照画像用メモリ38より出力されるIピクチャまたはPピクチャの再生画像データおよび参照画像用メモリ40より出力されるIピクチャまたはPピクチャの再生画像データが可変長復号化部22に入力された順序（ストリーム順）と同じ順番で出力されるように、または何もデータが出力されないように状態を変化させるスイッチ44と、スイッチ39および46を制御するスイッチ制御部48と、スイッチ44を制御する出力制御部50とを含む。

【0020】図3を参照して、再符号化部14は、復号化部12のスイッチ44より出力される各フレームがストリーム順に並んだ動画像データを受け、参照画像フレームとの間で差分をとる減算器64と、減算器64に接続され、符号化対象のフレームと参照画像フレームとの差分を8×8画素単位に分割し、各ブロックに離散コサイン変換処理を施すDCT部66と、DCT部66に接続され、DCT部66より出力されるDCT係数の情報量を減らすために量子化を行なう量子化部68とを含む。

【0021】再符号化部14は、さらに、量子化部68に接続され、量子化されたDCT係数を可変長符号化し、情報量を削減することなくビット数を減らす処理を行なう可変長符号化部70と、可変長符号化部70に接続され、可変長符号化された符号化データを再符号化部14が想定する伝送条件（伝送タイミング、伝送レート等）で出力するために、符号化データを一時的に記憶するバッファ部72とを含む。

【0022】再符号化部14は、さらに、量子化部68に接続され、符号化対象の画像データの種類に応じて状態を遷移させるスイッチ69と、スイッチ69に接続され、量子化されたDCT係数を元に戻す逆量子化部74と、逆量子化部74に接続され、DCT係数に逆離散コサイン変換処理を施し、元のフレームを復元するIDCT部76とを含む。

【0023】再符号化部14は、さらに、後述するスイッチ98の出力を受け、動き補償を行なうか否かに応じて、スイッチ98の出力を出力するまたは出力しないのいずれかを選択するスイッチ94と、IDCT部76に接続され、IDCT部76の出力とスイッチ94の出力を加算する加算器78と、加算器78に接続され、加算器78よりIピクチャまたはPピクチャに対する参照

画像データを受け、交互に状態を切換えて参照画像データを出力するスイッチ96と、各々、スイッチ96に接続され、スイッチ96を介して加算器78より得られるIピクチャまたはPピクチャに対する参照画像データを記憶する参照画像用メモリ86および88とを含む。

【0024】再符号化部14は、さらに、参照画像用メモリ86および88に接続され、参照画像用メモリ86および88よりそれぞれ参照画像データをブロック単位で読み出し、平均化する平均化部84と、参照画像用メモリ86および88に接続され、参照画像用メモリ86および88の一方に記憶された符号化対象のマクロブロックに最も類似した部分を、他方に記憶された参照画像データより探し出し、予測方法を選択する動き補償部92と、参照画像用メモリ86および88、平均化部84、および接地端子100に接続され、動き補償部92より出力される予測方法に応じて状態を定め、参照画像フレームを減算器64およびスイッチ94に供給するスイッチ98とを含む。

【0025】図2を参照して、復号化部12は以下のように動作する。MPEG方式で符号化されたデータのうち、変換係数の可変長符号および動きベクトルの可変長符号は、可変長復号化部22に送られる。可変長復号化部22は、参照画像の切出し位置を制御するための制御信号として、動きベクトルの可変長符号を参照画像用メモリ38および参照画像用メモリ40に与える。

【0026】また、可変長復号化部22は、変換係数の可変長符号を復号化する。IDCT部26は、可変長復号化部22から得られた変換係数（量子化されたDCT係数）をブロック単位のデータに変換する。逆量子化部24は、IDCT部26で生成されたサブブロック単位のデータを逆量子化する。加算器28において、IDCT部26より出力される画像データに、マクロブロックタイプに応じた参照画像データが加算され、再生画像データが生成される。参照画像データは、スイッチ46を介して加算器28に送られる。ただし、IDCT部26から出力される画像データがフレーム内予測符号に対する再生画像データである場合には、スイッチ46は、接地端子52を選択し、参照画像データは加算器28に与えられない。

【0027】加算器28の加算結果により得られたマクロブロック単位の再生画像データがIピクチャまたはPピクチャに対する再生画像データである場合には、その再生画像データはスイッチ39を介して参照画像用メモリ38または40に格納される。なお、スイッチ39は、スイッチ制御部48によって制御される。

【0028】平均化部32は、参照画像用メモリ38および40からそれぞれ読み出されたマクロブロックを平均化し、双方向予測符号化に用いられるマクロブロック単位の参照画像データを生成する。

【0029】なお、参照画像用メモリ38または40か

ら参照画像が読み出される際には、可変長復号化部22からの動きベクトルに基づいて、その切出し位置が制御される。

【0030】逆量子化部24から出力されたデータが前方向予測符号に対する予測誤差データである場合または後方向予測符号に対する予測誤差データである場合には、スイッチ46は参照画像用メモリ38または40から出力される参照画像データを選択するように切換えられる。

10 【0031】逆量子化部24から出力されたデータが双方方向予測符号に対する予測誤差データである場合には、スイッチ46は、平均化部32から出力される参照画像データを選択するように切換えられる。

【0032】スイッチ44は、加算器28からスイッチ44に送られてきたBピクチャに対する再生画像データ、参照画像用メモリ38に格納されているIピクチャまたはPピクチャに対する再生画像データ、参照画像用メモリ40に格納されているIピクチャまたはPピクチャに対する再生画像データが可変長復号化部22に入力された画像データの順序（ストリーム順）と同じ順番で出力されるように出力制御部50によって制御される。すなわち、スイッチ44が常に信号線（ii）を選択するように制御される。

【0033】図3を参照して、再符号化部14は以下のように動作する。減算器64は、復号化部12よりストリーム順で入力される画像データのマクロブロックと、スイッチ98より出力される参照画像データのマクロブロックとの差分を取る。DCT部66は、減算器64よりマクロブロックを受け、8×8画素単位で離散コサイン変換を行なう。量子化部68は、DCT部66よりDCT係数を受け、量子化する。

【0034】可変長符号化部70は、量子化されたDCT係数を可変長符号化し、バッファ部72に記憶する。バッファ部72に記憶された符号化データが、予め定められた伝送タイミング、伝送レート等の条件を満たすように読み出されることにより、MPEG符号化データが 출력される。

【0035】一方、符号化対象の画像データがIピクチャまたはPピクチャの場合には、その画像データは他の画像データの予測符号化に用いられる。このため、量子化部68と逆量子化部74とを接続するようにスイッチ69が切換えられる。符号化対象の画像データは後に、参照画像用メモリ86または88に記憶されることになる。

【0036】符号化対象の画像データがBピクチャの場合には、その画像データは他の画像データの予測符号化には用いられない。このため、量子化部68と逆量子化部74とは接続されない。

【0037】符号化対象の画像データがIピクチャまたはPピクチャの場合には、逆量子化部74は、量子化部

68より出力される逆量子化されたDCT係数を元に戻す処理を行なう。IDCT部76は、逆量子化部74より出力されるDCT係数に逆離散コサイン変換処理を施し、元のフレームを復元する。

【0038】スイッチ94は、動き補償フレーム間予測を行なう際にスイッチ98からの出力を受けるように接続され、動き補償フレーム間予測を行なわない場合には、接地端子に接続される。

【0039】加算器78は、IDCT部76の出力と、スイッチ94の出力とを加算する。加算器78より出力されるIピクチャまたはPピクチャの画像データは、スイッチ96を介して参照画像用メモリ86または88に格納される。

【0040】平均化部84は、双方向予測符号化に用いられるマクロブロック単位の参照画像データを作成する。

【0041】動き補償部92は、符号化対象のマクロブロックに最も類似した部分を参照画像用メモリ86または88から探し、探索結果に基づいて、前方向予測、後方向予測および双方向予測のうちいずれの画面間予測を行なうかを決定する。または画面間予測を行なわないことを決定する。

【0042】動き補償部92は、画面間予測の種類に応じてスイッチ98を制御する。すなわち、前方向予測または後方向予測の場合には、スイッチ98は、参照画像用メモリ86または88に記憶されたデータを減算器64に供給するように状態を遷移する。

【0043】双方向予測の場合には、スイッチ98は、平均化部84の出力を減算器64に供給するように状態を遷移する。画面間予測を行なわない場合には、スイッチ98は、減算器64に何も供給しないように接地端子100に接続する。

【0044】処理対象のマクロブロックが属するピクチャの種類別にスイッチ98の状態を分類すると以下のようになる。マクロブロックがIピクチャに属する場合には、画面間予測が行なわれないため、スイッチ98は接地端子100に接続される。

【0045】マクロブロックがPピクチャに属する場合には、前方向予測が行なわれるか、画面間予測が行なわれないため、スイッチ98は、参照画像用メモリ86、参照画像用メモリ88および接地端子100のいずれかに接続される。

【0046】マクロブロックがBピクチャに属する場合には、上述した4つの状態のうちいずれをも取り得るため、スイッチ98は、参照画像用メモリ86、参照画像用メモリ88、平均化部84および接地端子100のいずれかに接続される。

【0047】スイッチ94は、符号化対象の画像データがPピクチャの場合にのみオンされ、スイッチ98の出力が加算器78に与えられる。

10 【0048】(復号化部12の変形動作例)復号化部12は、フレーム間引きをすることが可能である。たとえば、ストリーム順がIBBPBPPBB…となっている場合には、3枚に1枚の割合でピクチャを間引く(Bピクチャを半分間引く)、3枚に2枚の割合でピクチャを間引く(Bピクチャをすべて間引く)、6枚に3枚の割合でピクチャを間引く(PBBの連続した3枚のピクチャを間引く)などの間引きが可能である。

【0049】このような間引きを行なうため、出力制御部50は、間引くフレームが処理されている場合には、そのフレームがスイッチ44より出力されないようにスイッチ44を接地端子30(信号線(i))に接続する。

【0050】たとえば、IBBPBPPBB…という並びのフレームを3枚に1枚の割合で間引いて、IBPBPPB…という順で出力するために、出力制御部50は、スイッチ44が信号線(ii)を2回選んで、信号線(i)を1回選ぶという動作を繰返すようにスイッチ44を制御する。

20 【0051】以上説明したように、本実施の形態に係る動画像再符号化装置10は、復号化部12よりストリーム順で画像データが出力されるようにスイッチ44の状態が制御される。このため、再符号化部14に画面並べ替えを行なうための回路を設ける必要がなくなる。

【0052】このため、画面並べ替えが不要となり、高速処理が可能となる。また、画面並べ替えを行なうための回路が不要となるため、回路規模の削減にもつながる。

30 【0053】[実施の形態2]図4を参照して、本発明の実施の形態2に係る動画像再符号化装置110は、変換係数の可変長符号を受け、可変長符号を復号する可変長復号化部22と、可変長復号化部22に接続され、可変長復号化部22より得られた変換係数(量子化されたDCT係数)をブロック単位のデータに変換するIDCT部26と、IDCT部26に接続され、IDCT部26の出力を逆量子化する逆量子化部24とを含む。

【0054】動画像再符号化装置110は、さらに、逆量子化部24に接続され、逆量子化部24の出力と参照画像データとを加算する加算器28と、加算器28に接続され、加算器28よりI(Intra)ピクチャまたはP(Predictive)ピクチャの再生画像データを受け、2つの出力に交互に切換えて再生画像データを出力するスイッチ39と、各々、スイッチ39の対応の出力に接続され、スイッチ39を介して加算器28より得られるIピクチャまたはPピクチャの再生画像データを記憶する参照画像用メモリ38および40とを含む。

40 【0055】動画像再符号化装置110は、さらに、参照画像用メモリ38および40に接続され、参照画像用メモリ38および40よりそれぞれ画像データを読み出し、平均化し、双方向予測符号化に用いられるマクロブ

ロック単位の参照画像データを生成する平均化部32と、平均化部32、参照画像用メモリ38および40、ならびに接地端子52に接続され、逆量子化部24から出力されたデータの種類に応じて状態を定め、平均化部32、参照画像用メモリ38および40、ならびに接地端子52より与えられるデータを加算器28に供給するスイッチ46とを含む。

【0056】動画像再符号化装置110は、さらに、加算器28、参照画像用メモリ38および40、ならびに接地端子30のいずれかに接続され、加算器28より出力されるB (Bidirectionally predictive) ピクチャの再生画像データ、参照画像用メモリ38より出力されるIピクチャまたはPピクチャの再生画像データおよび参照画像用メモリ40より出力されるIピクチャまたはPピクチャの再生画像データが可変長復号化部22に入力された順序 (ストリーム順) と同じ順番で出力されるように、または何もデータが出力されないように状態を変化させるスイッチ44とを含む。

【0057】動画像再符号化装置110は、スイッチ44より出力される各フレームがストリーム順に並んだ動画像データを受け、参照画像フレームとの間で差分をとる減算器64と、減算器64に接続され、符号化対象のフレームと参照画像フレームとの差分を8×8画素単位に分割し、各ブロックに離散コサイン変換処理を施すDCT部66と、DCT部66に接続され、DCT部66より出力されるDCT係数の情報量を減らすために量子化を行なう量子化部68とを含む。

【0058】動画像再符号化装置110は、さらに、量子化部68に接続され、量子化されたDCT係数を可変長符号化し、情報量を削減することなくビット数を減らす処理を行なう可変長符号化部70と、可変長符号化部70に接続され、可変長符号化された符号化データを再符号化部14が想定する伝送条件 (伝送タイミング、伝送レート等) で出力するために、符号化データを一時的に記憶するバッファ部72とを含む。

【0059】動画像再符号化装置110は、さらに、参照画像用メモリ38および40に接続され、参照画像用メモリ38および40に記憶された画像データをサイズ変換しながら読出す参照変換部112と、参照変換部112に接続され、参照変換部112を介して参照画像用メモリ38および40よりそれぞれ参照画像データをブロック単位で読出し、平均化する平均化部84とを含む。

【0060】動画像再符号化装置110は、さらに、参照変換部112に接続され、参照変換部112を介して、参照画像用メモリ38および40の一方に記憶された符号化対象のマクロブロックに最も類似した部分を、他方に記憶された参照画像データより探し出し、予測方法を選択する動き補償部92と、参照変換部112、平均化部84、および接地端子100に接続され、予測方

法に応じて状態を定め、参照画像フレームを減算器64に供給するスイッチ98と、スイッチ39および46を制御するスイッチ制御部48と、スイッチ44を制御する出力制御部50とを含む。

【0061】動画像再符号化装置110の各部は以下のように動作する。スイッチ44より、復号化された動画像データがストリーム順で出力されるまでの処理は、実施の形態1に示したものと同様である。このため、その詳細な説明はここでは繰返さない。

10 【0062】減算器64は、復号化部12よりストリーム順で入力される画像データのマクロブロックと、スイッチ98より出力される参照画像データのマクロブロックとの差分を取る。DCT部66は、減算器64よりマクロブロックを受け、8×8画素単位で離散コサイン変換を行なう。量子化部68は、DCT部66よりDCT係数を受け、量子化する。

【0063】可変長符号化部70は、量子化されたDCT係数を可変長符号化し、バッファ部72に記憶する。バッファ部72に記憶された符号化データが、予め定められた伝送タイミング、伝送レート等の条件を満たすように読出されることにより、MPEG符号化データが出力される。

【0064】平均化部84は、双方向予測符号化に用いられるマクロブロック単位の参照画像データを作成する。

【0065】動き補償部92は、符号化対象のマクロブロックに最も類似した部分を、参照変換部112を介して参照画像用メモリ38および40から探索し、探索結果に基づいて、前方向予測、後方向予測および双方向予測のうちいずれの画面間予測を行なうかを決定する。または画面間予測を行なわないことを決定する。

【0066】ここで、参照変換部112は、参照画像用メモリ38および40に記憶された画像データを符号化に適した画像サイズの画像データに変換しながら読出す。たとえば、参照画像用メモリ38または40に640×480画素の画像データが記憶されていたとし、これを320×240画素の画像データにサイズ変更し、符号化を行なうものとする。この時、たとえば、(200, 100)の位置の画素値が必要であったならば、参照変換部112は、参照画像用メモリ38または40に記憶された画像データの(400, 200)の位置の画素値を読出す。または、(400, 200), (401, 200), (400, 201), (401, 201)の位置の画素値を読出した後、それらを平均した値を算出する。

【0067】動き補償部92は、画面間予測の種類に応じてスイッチ98を制御する。すなわち、前方向予測または後方向予測の場合には、スイッチ98は、参照変換部112を介して参照画像用メモリ38または40に記憶されたデータを減算器64に供給するように状態を遷

移する。

【0068】双方向予測の場合には、スイッチ98は、平均化部84の出力を減算器64に供給するよう状態を遷移する。画面間予測を行なわない場合には、スイッチ98は、減算器64に何も供給しないよう接続端子100に接続する。

【0069】処理対象のマクロブロックが属するピクチャの種類別にスイッチ98の状態を分類すると以下のようになる。マクロブロックがIピクチャに属する場合には、画面間予測が行なわれないため、スイッチ98は接続端子100に接続される。

【0070】マクロブロックがPピクチャに属する場合には、前方向予測が行なわれるか、画面間予測が行なわれないため、スイッチ98は、参照変換部112または接地端子100に接続される。

【0071】マクロブロックがBピクチャに属する場合には、上述した4つの状態のうちいずれをも取り得るため、スイッチ98は、参照変換部112、平均化部84および接地端子100のいずれかに接続される。

【0072】動画像再符号化装置110では、実施の形態1で説明したような制御に従いピクチャの間引きを行なうことも可能である。その詳細についてはここでは繰返さない。

【0073】以上説明したように、本実施の形態に係る動画像再符号化装置10は、スイッチ44よりストリーム順で画像データが outputされるようにスイッチ44の状態が制御される。このため、再符号化時に、画面並べ替えを行なう必要がなくなり、画面並べ替えを行なうための回路を設ける必要がなくなる。このため、画面並べ替えが不要となり、高速処理が可能となる。また、画面並べ替えを行なうための回路が不要となるため、回路規模の削減にもつながる。

【0074】また、参照画像用メモリを、画像データの復号化を行なう部分と再符号化を行なう部分とで共有している。このため、参照画像用メモリの数を減らすこと

ができる、回路規模の削減につながる。

【0075】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

〔0076〕

【発明の効果】本発明によれば、画面並べ替えが不要となり、高速処理が可能となる。

【0077】また、画面並べ替えを行なうための回路が不要となるため、回路規模の削減につながる。

【0078】さらに、参照画像用メモリの数を減らすことができ、回路構成の削減につながる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る動画像再符号化装置1.0の構成を示すブロック図である

【図2】 復号化部12の構成を示すブロック図である

【図3】 再符号化部14の構成を示すブロック図である

【図4】 本発明の実施の形態2に係る動画装置1,1,9の構成を示すブロック図である。

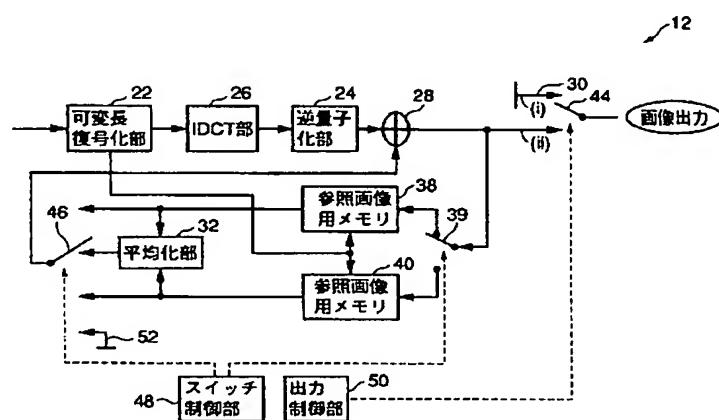
【符号の説明】

10, 110 動画像再符号化装置、12 復号化部、
14 再符号化部、22 可変長復号化部、24, 74
逆量子化部、26 IDCT部、28, 78 加算器、
30, 52, 100 接地端子、32 平均化部、3
8, 40, 86, 88 参照画像用メモリ、39, 4
4, 46, 69, 94, 96, 98 スイッチ、48
スイッチ制御部、50 出力制御部、64 減算器、6
6 DCT部、68 量子化部、70 可変長符号化
部、72 バッファ部、76 IDCT部、84 平均
化部、92 動き補償部、112 参照変換部。

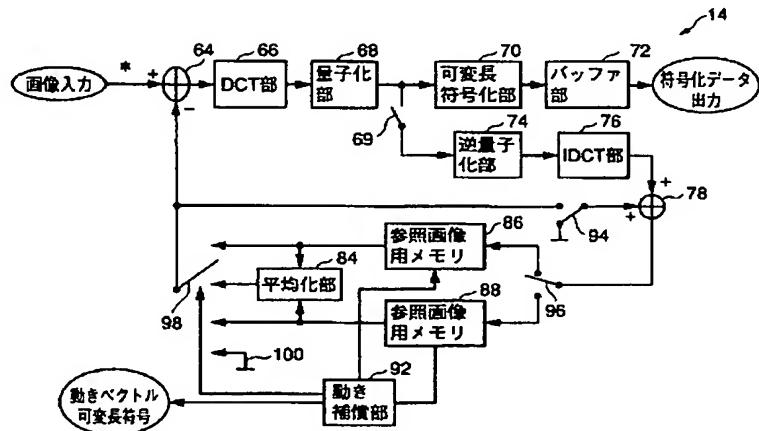
【圖 1】



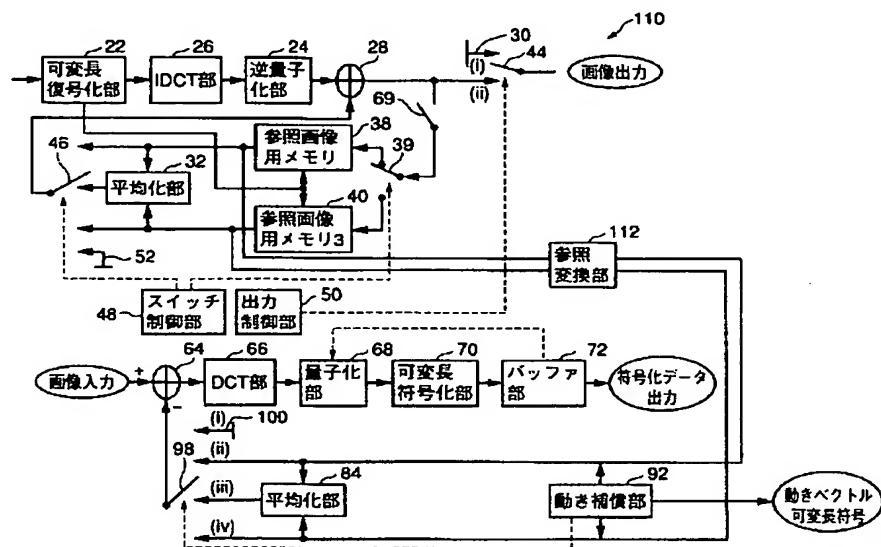
[図2]



【図3】



【図4】



フロントページの続き

F ターム(参考) 5C059 KK06 LB05 MA00 MA05 MA14
 MA23 MC11 ME01 NN21 PP05
 PP06 PP07 SS08 UA02 UA05
 UA33
 5J064 AA03 AA04 BA09 BA16 BC01
 BC08 BC16 BC21 BD02 BD03